

Date of Mailing: 2005.02.01

Patent Office

NOTICE TO SUBMIT ARGUMENT

Applicant: Name: SANYO ELECTRIC CO., LTD.
Address: 5-5, Keihan-Hondori 2-chome,
Moriguchi-shi, Osaka, Japan

Application Serial No. 10-2003-0005818

[Grounds]

Claims 1 to 14 of the present application are rejected under the Patent Law section 29(2), because the inventions defined therein could have easily been made by a person having ordinary skill in the art prior to the filing date of this application as explained below.

[NOTE]

Claims 1 to 14 of the present application relate to a semiconductor display device comprising a polycrystal semiconductor layer forming a drive element above a light blocking layer wherein the polycrystal semiconductor layer is formed on an insulating film whose interface state at the interface between the insulating layer and the polycrystal semiconductor layer is lower than the interface state between the blocking layer and the polycrystal semiconductor layer", a manufacturing method thereof, and an active matrix display device. Korean Patent Laid-Open Publication No. 2000-57776 (2000.9.25, hereinafter referred to as a "reference invention 1") discloses a technical structure concerning a semiconductor device in a liquid crystal display in which an insulating film formed under a semiconductor thin film is a silicon oxide film, a silicon nitride film or other double-layer structures containing

silicon, oxygen and nitrogen, in which the first layer is a second insulting film in contact with a light blocking film, or a multi-structure, a manufacturing method of such a semiconductor device, or the like. Japanese Patent Laid-Open Publication No. Hei 10-261801 (1998.9.29, hereinafter referred to as a "reference invention 2") discloses a technical feature concerning a manufacturing method of a thin film transistor device in which, on a glass substrate, a SiN film and a SiO₂ film are layered to form a barrier layer, and then a channel layer made of p-Si, a gate insulating film and a gate electrode made of silicon oxide are sequentially provided to form a p-Si TFT and in which silicon oxide for forming the gate insulating film contains a fixed additive element so as to prevent mixture of ions generated at the time of manufacturing poly silicon. The preset invention could therefore have been made easily by a person with ordinary skill in the art by adopting and combining References 1 and 2.

[Attachment]

1. Korea Patent Laid-Open Publication NO. 2000-57776
(2000.9.25)
2. Japanese Patent Laid-Open Publication No. Hei 10-261801
(1998.9.29)

발송번호 : 9-5-2005-005406815
발송일자 : 2005.02.01
제출기일 : 2005.04.01

수신 : 서울 종로구 내자동 219 한누리빌딩(김&
장 특허법률사무소)
주성민 귀하

110-053

특허청 의견제출통지서



출원인	명칭 산요덴키가부시키가이샤 (출원인코드: 519980961320) 주소 일본 오사카후 모리구치시 게이한 혼도오리 2쵸메 5반 5고
대리인	성명 주성민 외 2명 주소 서울 종로구 내자동 219 한누리빌딩(김&장 특허법률사무소)
출원번호	10-2003-0005818
발명의 명칭	반도체 표시 장치, 그 제조 방법 및 액티브 매트릭스

이 출원에 대한 실사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서[특허법시행규칙 별지 제25호의2서식] 또는 / 및 보정서[특허법시행규칙 별지 제5호서식]를 제출하여 주시기 바랍니다. (상기 제출기일에 대하여 매화 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장승인통지는 하지 않습니다.)

[이유]

이 출원의 특허청구범위 제1-14항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

[여행]

1. 본원 발명의 특허청구범위 제1-14항은 차광층 상방에 구동소자를 구성하는 다결정 반도체층이 형성되는 반도체 표시장치에 있어서, 다결정 반도체층이 해당 블록킹층보다 다결정 반도체층과의 사이의 계면 준위가 낮은 절연막 상에 형성되어 있는 것을 청구하고 있으나, 이는 한국공개특허공보 2000-57776호(2000.09.25. 이하 인용발명1이라 함)의 악정표시소자에 있어, 반도체박막의 하층에 형성되는 절연막은 산화 규소막, 질화 규소막, 또는 규소, 산소 및 질소를 함유하는 다른 이종 층으로, 제1층은 광차단막과 접촉하는 제2절연막 또는 다층 구조일 수 있는 것을 특징으로 하는 반도체 장치 및 그의 제작방법 등에 관한 기술적 구성과, 일본공개특허공보 평 10-261801호(1998.09.29. 이하 인용발명2라 함)의 글라스기판 위에 SiNx 및 SiO2막을 적층하여 배리어층을 형성하고 p-Si로 된 채널층, 산화 실리콘으로 된 게이트 절연막 및 게이트 전극을 순차적으로 형성해 p-Si TFT를 형성하는 기술 및 폴리실리콘 제조시에 생기는 이온의 흐임을 방지하기 위하여 게이트 절연막이 산화실리콘에 절정의 점가 원소를 함유하는 것을 특징으로 하는 박막트랜지스터 장치 제조방법 등에 관한 기술적 구성요소와의 채택결합에 의하여, 본원발명은 이 기술분야에서 통상의 지식을 가진자가 상기 인용발명 1, 2로부터 기술적 구성의 곤란성 없이 용이하게 할명할 수 있는 것입니다.

【첨 부】

첨부 1 공개특허 제2000-57776호 (2000.09.25) 1부
첨부2 일본공개특허공보 평10-261801호 (1998.09.29) 1부

출력 일자: 2005/2/3

2005.02.01

특허청

전기전자심사국

영상기기심사담당관실

심사관 임동재

임동재
301

<<안내>>

문의사항이 있으시면 ☎ 042-481-5759 로 문의하시기 바랍니다.
서식 또는 절차에 대하여는 특허고객 쿨센터 ☎ 1544-8080으로 문의하시기 바랍니다.

특허청 직원 모두는 깨끗한 특허행정의 구현을 위하여 최선을 다하고 있습니다. 만일 업무처리과정에서 직원의 부조리 행위가 있으면 신고하여 주시기 바랍니다.

▶ 홈페이지(www.kipo.go.kr)내 부조리신고센터